

文章编号:1007-2780(2017)02-0091-06

搭桥晶粒多晶硅薄膜晶体管栅交流电应力下的退化行为与退化机制研究

张 猛,夏之荷,周 玮,陈荣盛,王 文,郭海成*
(香港科技大学 先进显示与光电子技术国家重点实验室,香港)

摘要: 本文主要研究了搭桥晶粒(BG)多晶硅薄膜晶体管(TFT)在栅交流电应力下的退化行为和退化机制。在栅交流电应力下,动态热载流子效应主导了器件的退化。器件退化只与栅脉冲下降沿有关。越快的下降沿带来越大的动态热载流子退化。比起普通多晶硅 TFT,BG 多晶硅 TFT 的热载流子退化大幅度减弱。通过选择性的掺杂注入 BG 线,沟道中形成的 PN 结在反向偏置时可以有效分担栅交流电应力带来的电压差,从而减弱动态热载流子退化。辅以瞬态模拟结果,栅交流电应力下的退化机制被阐明。所有的测试结果都表明这种高性能高可靠性的 BG 多晶硅 TFT 在片上系统应用中具有很大的应用前景。

关键词: 搭桥晶粒;多晶硅;薄膜晶体管;栅交流应力;动态热载流子

中图分类号: TP394.1 **文献标识码:** A **doi:** 10.3788/YJYXS20173202.0091

Degradation behavior and degradation mechanism of bridged-grain polycrystalline silicon thin film transistors under AC gate bias stress

ZHANG Meng, XIA Zhi-he, ZHOU Wei, CHEN Rong-sheng,
WONG Man, KWOK Hoi-Sing*

(State Key Laboratory on Advanced Displays and Optoelectronics Technologies,
The Hong Kong University of Science and Technology, Hong Kong, China)

Abstract: Degradation behavior and degradation mechanism of bridged-grain (BG) polycrystalline silicon thin film transistors (TFTs) under AC gate bias stress are studied and investigated. It is found that dynamic hot carrier (HC) effect dominates the device degradation. The degradation is only related to gate pulse falling time (t_f). Faster t_f brings larger dynamic HC degradation. Compared with normal poly-Si TFTs, the dynamic HC degradation of BG poly-Si TFTs under the same stress is greatly reduced. By selectively doping the active channel, the multiple PN junctions inherent can effectively share the voltage drop, resulting in better dynamic HC reliability. Based on transient simulations, the

收稿日期: 2016-09-19; **修订日期:** 2016-11-10.

基金项目: 香港研究资助局主题研究计划项目(NO. T23-713/11-1)

Supported by the Hong Kong Government Research Grants Council Theme-Based Research Scheme under Grant T23-713/11-1.

* 通信联系人, E-mail: eekwok@ust.hk

related degradation mechanism is clarified. All test results indicate that such high-performance and highly reliable BG poly-Si TFTs have great potential in system-on-panel applications.

Key words: bridged-grain; polycrystalline silicon; thin film transistors; AC gate bias stress; dynamic hot carrier

1 引言

为了实现高分辨率显示和片上系统(SoP)应用,高性能高可靠性的多晶硅 TFT 必不可少^[1]。最近,搭桥晶粒(BG)技术已经成功应用于制造高性能的多晶硅 TFT^[2-6]。通过在沟道区选择性的进行 BG 线的注入掺杂,BG 多晶硅 TFT 展现出非常优秀的性能特性。主要体现在 BG 多晶硅 TFT 具有更高的有效载流子迁移率,更小的阈值电压,更高的开态电流和更低的关态电流。BG 多晶硅 TFT 的直流可靠性已经被研究^[7-8]。相比于普通多晶硅 TFT,在相同的应力条件下,BG 多晶硅 TFT 展现出更好的直流可靠性。然而,对于驱动电路中的 TFT,TFT 的栅极往往会承受高频交流电压而非直流电压^[9-11]。对于 TFT 的交流可靠性的研究就变得十分重要。过去十几年间,人们进行了大量的栅交流应力实验,发现在栅交流应力下动态热载流子主导着器件退化^[12-14]。可是如何减弱动态热载流子效应,很少被提及。

本文将系统地研究 BG 多晶硅 TFT 栅交流电应力的退化行为和退化机制。在栅交流电应力下,动态热载流子效应主导着器件的退化。器件退化只与栅脉冲下降沿有关。越快的下降沿带来越大的动态热载流子退化。比起普通多晶硅 TFT,BG 多晶硅 TFT 的热载流子退化大幅度减弱。通过选择性的掺杂注入 BG 线,沟道中形成的 PN 结在反向偏置时可以有效分担栅交流电应力带来的电压差,从而减弱动态热载流子退化。配合瞬态模拟结果,栅交流电应力下的退化机制被澄清。

2 制造工艺与应力条件

BG 多晶硅 TFT 横截面示意图如图 1(a)所示。首先在 4 in(1 in=2.54 cm)硅晶片生长出 500 nm 的热氧化薄膜作为衬底。然后上面用低压化学气相沉积(LPCVD)方法淀积一层 50

nm 的非晶硅薄膜作为有源区。接着在非晶硅薄膜表面淀积一层 5 nm 的镍。然后立刻在氮气氛围下进行温度为 600 °C 时长为 6 h 的退火,让非晶硅转化为多晶硅。退火完毕以后,用硫酸清洗多晶硅表面残余的镍。之后用 LPCVD 淀积一层 50 nm 厚的 SiO₂ 做为 BG 沟道注入的遮掩层。接着,在硅片表面涂上一层光刻胶并将其光刻成周期为 1 μm 占空比为 50% 的光栅,如图 1(b)所示。紧接着对其进行剂量为 $2 \times 10^{15}/\text{cm}^2$ 的硼注入。硼注入以后,洗掉光刻胶和之前淀积的遮掩层。然后进行有源区的光刻和 70 nm 厚的 LPCVD SiO₂ 栅氧的淀积。接下来溅射 300 nm 厚的铝并光刻为栅电极。源漏区通过自对准的硼注入来进行定义。源漏区定义完成以后,淀积 500 nm 厚的 LPCVD SiO₂ 作为钝化隔离层。通过干法湿法混合刻蚀,打开接触孔。紧接着淀积 700 nm 厚的铝硅并光刻为源漏栅电极。最后所有硅片都进行 420 °C 30 min 的烧结处理。为了进行相关比较,普通多晶硅 TFT 也同时流片。

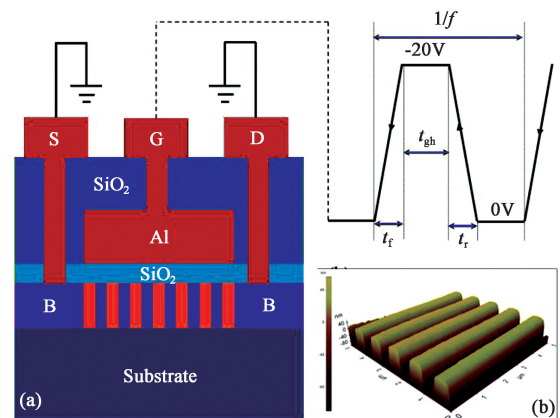


图 1 (a) BG 多晶硅 TFT 横截面示意图和动态栅交流电压应力示意图,(b) 曝光之后的 BG 线的 AFM 图形。

Fig.1 (a) Cross-sectional schematic of the BG poly-Si TFT and waveforms of AC gate stress applied to the gate electrode with source/drain electrodes grounded. (b) AFM image of photoresist pattern of BG lines.

普通多晶硅 TFT 与 BG 多晶硅 TFT 的唯一区别在于普通多晶硅 TFT 的沟道没有进行 BG 线的掺杂注入。

动态栅交流应力示意图显示在图 1(a)。一组交流脉冲施加在栅电极上,漏电极和源电极全部接地。栅交流电应力脉冲的基础电压是 0 V,极值电压是 -20 V。占空比(α)被固定在 50%。栅脉冲可调参数包括频率(f),上升沿(t_r)和下降沿(t_f)。器件的退化用开态电流退化率进行量化。

3 实验结果与讨论

图 2 为相同 W/L 的普通多晶硅 TFT 和 BG 多晶硅 TFT 转移曲线对比图。可以很明显地看到,相较于普通多晶硅 TFT,BG 多晶硅 TFT 拥有更高的开态电流,更低的关态电流,更小的阈值电压。更值得一提的是,通过对沟道进行 BG 处理,比起普通多晶硅 TFT,器件的载流子迁移率提高了 1.5 倍,达到 $65 \text{ cm}^2/\text{V} \cdot \text{s}$ 。BG 多晶硅 TFTs 性能的大幅改善主要归因于三个效应^[2-6]:晶粒尺寸效应,短沟道效应和多结效应。

图 3 为动态交流栅电应力下普通多晶硅

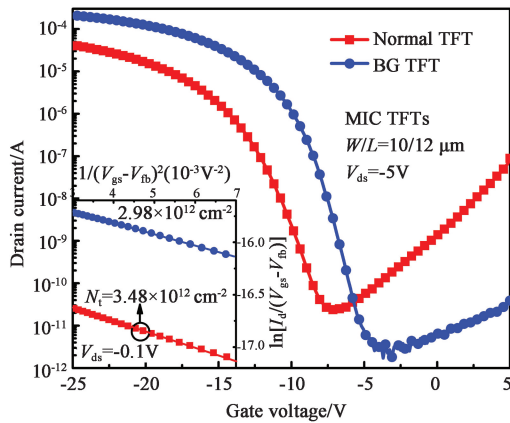


图 2 相同 W/L 的普通多晶硅 TFT 和 BG 多晶硅 TFT 转移曲线对比图。插图是普通多晶硅 TFT 和 BG 多晶硅的 $1/(V_{gs} - V_{fb})^2$ 与 $\ln[I_d / (V_{gs} - V_{fb})]$ 关系图。

Fig.2 Transfer curve comparison between normal poly-Si TFT and BG poly-Si TFT with the same W/L . The inset is $1/(V_{gs} - V_{fb})^2$ Vs. $\ln[I_d / (V_{gs} - V_{fb})]$ for both normal poly-Si TFTs and BG poly-Si TFTs.

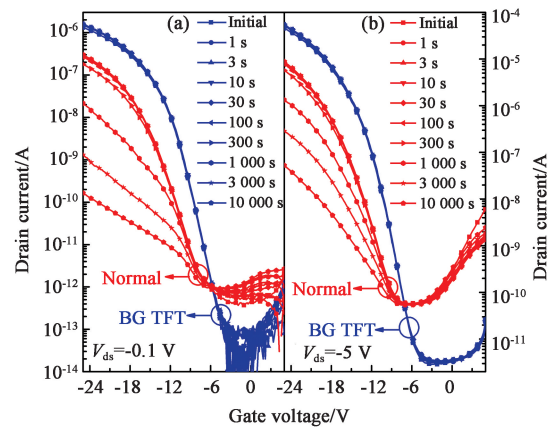


图 3 动态交流栅电应力下普通多晶硅 TFT 的转移曲线和 BG 多晶硅 TFT 的转移曲线在 $V_{ds} =$ (a) -0.1 V 和 (b) -5 V 下的退化图。

Fig.3 Transfer curve degradation of normal poly-Si TFTs and BG poly-Si TFTs under gate AC bias stress, measured at $V_{ds} =$ (a) -0.1 V and (b) -5 V.

TFT 的转移曲线和 BG 多晶硅 TFT 的转移曲线在 $V_{ds} = -0.1 \text{ V}$ 和 -5 V 下的退化图。栅脉冲的 f 为 333.33 kHz。栅脉冲的 t_r 和 t_f 为 $0.1 \mu\text{s}$ 。可以清楚地看到在栅交流应力下,普通多晶硅 TFT 随着应力时间的增加退化越发严重。并且普通多晶硅的退化行为和直流应力下的热载流子退化行为非常一致^[15-16],预示着栅交流应力引发的器件退化由热载流子效应所主导。相比较普通多晶硅 TFT,BG 多晶硅 TFT 在相同的栅交流应力下几乎没有发生任何退化,展现出极其可靠的栅交流应力可靠性。

为了确定在此栅交流应力下,是否有直流效应被卷入,普通多晶硅 TFT 和 BG 多晶硅 TFT 在栅直流应力下的退化行为也被研究,如图 4 所示。栅直流应力的值等于栅脉冲的极值电压值,为 -20 V 。我们可以清楚的看到,在 10^4 s 直流应力后,普通多晶硅 TFT 和 BG 多晶硅 TFT 都几乎没有任何退化。这足以说明栅交流应力引发的退化应该是发生在脉冲过渡期间,与 α 和 f 无关。栅脉冲 f 实验验证了以上的推论。

为了搞清楚栅交流应力引起的退化是发生脉冲 t_r 期间还是脉冲 t_f 期间,我们研究了多晶硅 TFT 的开态电流退化率与过渡时间的依赖关系,如图 5 所示。栅脉冲的 f 为 333.33 kHz。很明显,对于普通多晶硅和 BG 多晶硅 TFT,器件退

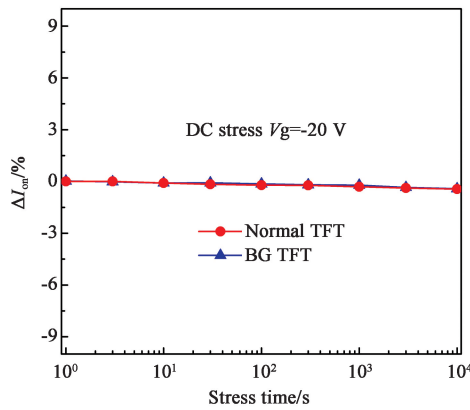


图 4 栅直流应力下普通多晶硅 TFT 和 BG 多晶硅 TFT 的开态电流退化率与应力时间的关系示意图

Fig. 4 I_{on} degradation dependent on stress time under the gate static stress in the normal poly-Si TFT and BG poly-Si TFT.

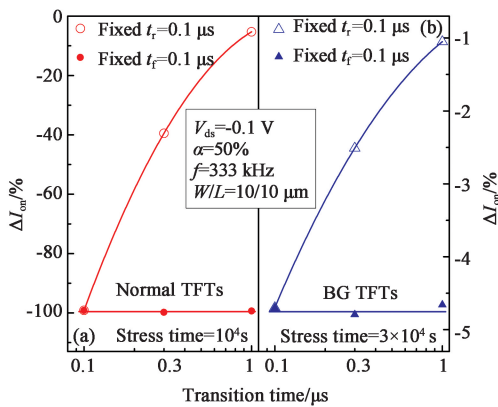


图 5 (a) 一万秒栅交流电应力后,普通多晶硅 TFT 的开态电流退化率与过渡时间的依赖关系图。(b) 三万秒栅交流电应力后,BG 多晶硅 TFT 的态电流退化率与过渡时间的依赖关系图。

Fig.5 Dependence of I_{on} degradation on pulse transient time in (a) normal poly-Si TFTs after 10^4 s gate AC bias stress and (b) BG poly-Si TFTs after 3×10^4 s gate AC bias stress.

化只和栅脉冲的 t_i 有关而和栅脉冲的 t_r 无关。越快的 t_i 带来越大的器件退化。相比于普通多晶硅 TFT, BG 多晶硅 TFT 展现出极其优秀的栅交流应力可靠性。

为了澄清栅交流应力下的动态热载流子退化机制,我们引用和发展了非平衡态漏结退化模型^[9]。施加在栅极的栅交流应力会在漏结和源结上产生动态电压差。多晶硅薄膜中存在很多的晶

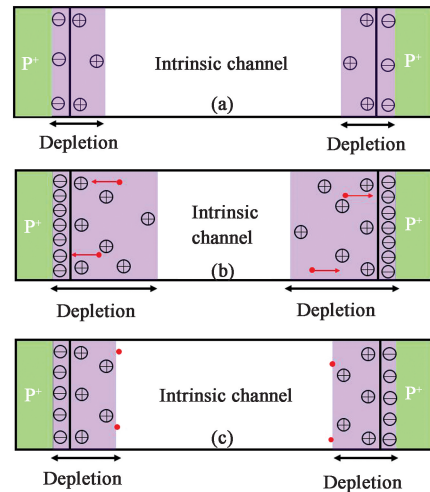


图 6 (a) 源漏结稳态示意图。(b) 下降沿期间动态热载流子形成示意图。(c) 上升沿期间载流子复合示意图。

Fig.6 (a) Schematic of steady state of the channel/drain junction and channel/source junction. (b) Schematic of HC's formation during t_f . (c) Schematic of carrier recombination during t_r .

界和缺陷态。如图 6(a) 所示, 稳态状态下, 靠近源漏两端的本征沟道会发射出一些电子形成耗尽区。当施加的栅脉冲从 -20 V 转换到 0 V 的时候 (t_f), 源结和漏结都开始越来越反偏, 沟道里的两端耗尽区要向沟道中心方向延展, 入图 6(b) 所示。不同能级 (E_i) 上的载流子的发射时间 (τ_i) 可以通过以下公式进行计算^[17]:

$$\frac{1}{\tau_i} = v_{th} \sigma_e n_i e^{\frac{E_i - E_t}{kT}},$$

其中: v_{th} , σ_e , n_i 和 E_i 分别为载流子热速度, 电子俘获界面, 本征载流子浓度和本征费米能级。对于深能级陷阱态 ($E_i \approx E_t$), τ_i 可以长达毫秒量级。而 t_f 的过渡时间仅为微秒量级。因此在 t_f 的初期, 沟道两段的耗尽区只可能通过发射浅能级的陷阱态电子来延伸耗尽区的长度。于此同时, 沟道两段的耗尽区电场也逐步增强。紧接着, 从深陷阱态发射出的电子会暴露在已经建立好的沟道两端的强电场当中, 获得能量, 成为热载流子, 在源漏两端生成大量的缺陷态, 引起所观察到的器件热载流子退化。

当施加的栅脉冲从 0 V 转换到 -20 V 的时候 (t_f), 源结和漏结开始往正偏方向发展, 沟道中

的耗尽区将缩回,如图 6(c)所示。耗尽区的缩回动作主要通过耗尽区边缘处的载流子复合来完成。由于在边缘处,电场强度非常弱,所以没有热载流子的生成,所以器件退化与栅脉冲 t_r 无关。

从上面机制讨论可知,减小源漏端的横向电场(E_x)是减弱动态热载流子效应的有效手段。BG 多晶硅 TFT 在栅交流电压应力下展现出极为可靠的动态热载流子可靠性极有可能是由于源漏两端的 E_x 被 BG 线减弱所致使。于是我们对普通多晶硅 TFT 和 BG 多晶硅 TFT 进行了 E_x 的瞬态模拟。图 7 的上插图是普通多晶硅 TFT 在下降沿尾部时的 E_x 分布图。下插图是 BG 多晶硅 TFT 在下降沿尾部时的 E_x 分布图。不难发现 BG 多晶硅 TFT 的源漏端 E_x 被有效的抑制。为了更清楚的观察,我们提取了普通多晶硅 TFT 和 BG 多晶硅 TFT 的栅氧界面以下 5 nm 处横向电场从漏端到源端的分布图,如图 7 所示。可以很明显看到,源漏端的 E_x 的极值被 BG 结构有效的减弱。这很好地解释了为何 BG 多晶硅 TFT 在栅交流电压应力下展现出极为可靠的动态热载

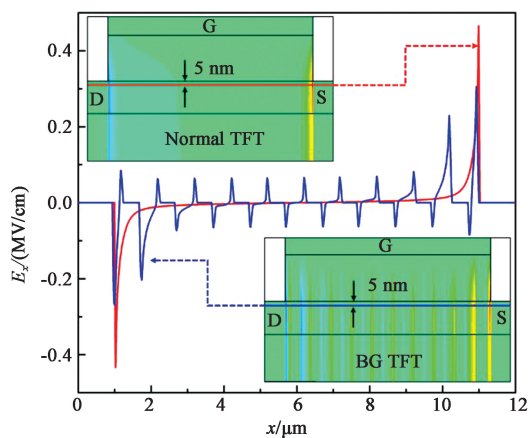


图 7 栅脉冲 t_f 尾部时,普通多晶硅 TFT 和 BG 多晶硅 TFT 的栅氧界面以下 5 nm 处 E_x 从漏端到源端的分布地图。上插图是普通多晶硅 TFT 在 t_f 尾部时的 E_x 分布图。下插图是 BG 多晶硅 TFT 在 t_f 尾部时的 E_x 分布图。

Fig. 7 Extracted E_x at 5 nm below the oxide/channel interface along the source side to the drain side at the end of t_f in a normal poly-Si TFT and a BG poly-Si TFT. Insets: E_x distribution in a normal poly-Si TFT (top) and a BG poly-Si TFT (bottom) at the end of t_f .

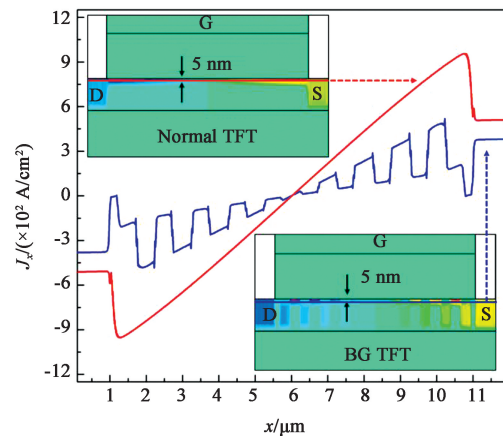


图 8 栅脉冲 t_f 尾部时,普通多晶硅 TFT 和 BG 多晶硅 TFT 的栅氧界面以下 5 nm 处 J_x 从漏端到源端的分布地图。上插图是普通多晶硅 TFT 在 t_f 尾部时的 J_x 分布图。下插图是 BG 多晶硅 TFT 在 t_f 尾部时的 J_x 分布图。

Fig. 8 Extracted J_x at 5 nm below the oxide/channel interface along the source side to the drain side at the end of t_f in a normal poly-Si TFT and a BG poly-Si TFT. Insets: J_x distribution in a normal poly-Si TFT (top) and a BG poly-Si TFT (bottom) at the end of t_f .

流子可靠性。除了动态模拟 E_x 的分布,我们也模拟了横向电流密度(J_x)在普通多晶硅 TFT 和 BG 多晶硅 TFT 内的分布图,如图 8 所示。我们可以看到,在相同位置下 BG 多晶硅 TFT 的 $|J_x|$ 明显小于普通多晶硅 TFT 的 $|J_x|$,这也从另外一方面说明 BG 多晶硅 TFT 为何具有更优秀的动态热载流子可靠性。

4 结 论

本文主要研究了 BG 多晶硅 TFT 在栅交流电应力下的退化行为及退化机制。通过与普通多晶硅 TFT 相比较,BG 多晶硅 TFT 展现出优秀的动态热载流子可靠性。BG 多晶硅 TFT 优秀的动态热载流子可靠性主要归因于有源沟道内的 BG 结构。通过选择性的掺杂注入 BG 线,沟道中形成的 PN 结可以有效分担栅交流电应力带来的电压差,从而减弱动态热载流子退化。通过以上的讨论,这种高性能高可靠性的 BG 多晶硅 TFT 在 SoP 的应用中有巨大的潜力。

参 考 文 献:

- [1] ZHANG M, ZHOU W, CHEN R S, *et al.* A simple method to grow thermal SiO₂ interlayer for high-performance SPC poly-Si TFTs using Al₂O₃ gate dielectric [J]. *IEEE Electron Device Lett.*, 2014, 35(5): 548-550.
- [2] ZHAO S Y, MENG Z G, ZHOU W, *et al.* Bridged-grain polycrystalline silicon thin-film transistors [J]. *IEEE Trans. Electron Devices*, 2013, 60(6): 1965-1970.
- [3] ZHOU W, MENG Z G, ZHAO S Y, *et al.* Bridged-grain solid-phase-crystallized polycrystalline-silicon thin-film transistors [J]. *IEEE Electron Device Lett.*, 2012, 33(10): 1414-1416.
- [4] ZHANG M, ZHOU W, CHEN R S, *et al.* High-performance polycrystalline silicon thin-film transistors integrating sputtered aluminum-oxide gate dielectric with bridged-grain active channel [J]. *Semicond. Sci. Technol.*, 2013, 28(11): 115003.
- [5] ZHOU W, ZHAO S Y, CHEN R S, *et al.* Study of the characteristics of solid phase crystallized bridged-grain poly-Si TFTs [J]. *IEEE Trans. Electron Devices*, 2014, 61(5): 1410-1416.
- [6] ZHOU W, HO J Y L, ZHAO S Y, *et al.* Fabrication of bridged-grain polycrystalline silicon thin film transistors by nanoimprint lithography [J]. *Thin Solid Films*, 2013, 534: 636-639.
- [7] ZHANG M, ZHOU W, CHEN R S, *et al.* Characterization of DC-stress-induced degradation in bridged-grain polycrystalline silicon thin-film transistors [J]. *IEEE Trans. Electron Devices*, 2014, 61(9): 3206-3212.
- [8] 张猛, 夏之荷, 周玮, 等. 搭桥晶粒多晶硅薄膜晶体管直流电应力下的退化行为与退化机制研究[J]. *液晶与显示*, 2015, 30(2): 187-193.
- ZHANG M, XIA Z H, ZHOU W, *et al.* Degradation behaviors and degradation mechanisms of bridged-grain polycrystalline silicon thin film transistors under DC bias stresses [J]. *Chin. J. Liq. Cryst. Disp.*, 2015, 30(2): 187-193. (in Chinese)
- [9] ZHANG M, WONG M X, LU X W, *et al.* Analysis of degradation mechanisms in low-temperature polycrystalline silicon thin-film transistors under dynamic drain stress [J]. *IEEE Trans. Electron Devices*, 2012, 59(6): 1730-1737.
- [10] CHANG K M, CHUNG Y H, LIN G M, *et al.* Enhanced degradation in polycrystalline silicon thin-film transistors under dynamic hot-carrier stress [J]. *IEEE Electron Device Lett.*, 2001, 22(10): 475-477.
- [11] ZHANG M, XIA Z H, ZHOU W, *et al.* Significant reduction of dynamic negative bias stress-induced degradation in bridged-grain poly-Si TFTs [J]. *IEEE Electron Device Lett.*, 2015, 36(2): 141-143.
- [12] TAI Y H, HUANG S C, CHEN C K. Analysis of poly-Si TFT degradation under gate pulse stress using the slicing model [J]. *IEEE Electron Device Lett.*, 2006, 27(12): 981-983.
- [13] LIU P T, LU H Y, CHEN Y C, *et al.* Degradation of laser-crystallized laterally grown poly-Si TFT under dynamic stress [J]. *IEEE Electron Device Lett.*, 2007, 28(5): 401-403.
- [14] URAOKA Y, HATAYAMA T, FUYUKI T, *et al.* Reliability of low temperature poly-silicon TFTs under inverter operation [J]. *IEEE Trans. Electron Devices*, 2001, 48(10): 2370-2374.
- [15] MOON K C, LEE J H, HAN M K. The study of hot-carrier stress on poly-Si TFT employing C-V measurement [J]. *IEEE Trans. Electron Devices*, 2005, 52(4): 512-517.
- [16] XUE M, WANG M X, ZHU Z, *et al.* Degradation behaviors of metal-induced laterally crystallized n-type polycrystalline silicon thin-film transistors under DC bias stresses [J]. *IEEE Trans. Electron Devices*, 2007, 54(2): 225-232.
- [17] SIMMONS J G, TAYLOR G W. Nonequilibrium steady-state statistics and associated effects for insulators and semiconductors containing an arbitrary distribution of traps [J]. *Phys. Rev. B*, 1971, 4(2): 502-511.

作者简介:张猛(1985—),男,博士,副研究员,主要从事薄膜晶体管方面的研究。E-mail: zhangmeng@connenct.ust.hk。
郭海成(1951—),男,IEEE 院士,美国光学学会院士,国际信息显示学会院士,亚太材料科学院院士。现任香港科技大学先进显示与光电子技术国家重点实验室主任。E-mail: eekwok@ust.hk。